

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-100299  
 (43)Date of publication of application : 13.04.1999

(51)Int.CI.

 C30B 29/06  
 C30B 33/02  
 H01L 21/20  
 H01L 21/205

(21)Application number : 09-282747

(71)Applicant : MITSUBISHI MATERIALS SILICON CORP

(22)Date of filing : 29.09.1997

(72)Inventor : KIMURA MASAKI

NOGAMI SHOJI

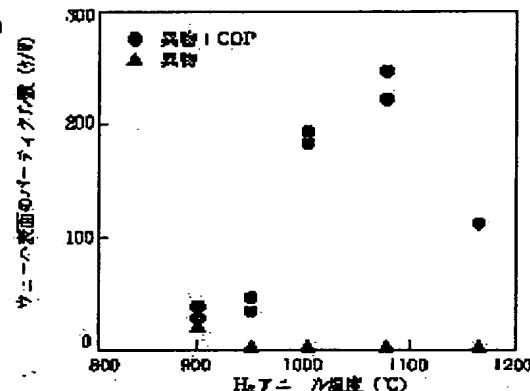
SHINYASHIKI HIROSHI

**(54) PRODUCTION OF THIN FILM EPITAXIAL WAFER AND THIN FILM EPITAXIAL WAFER PRODUCED THEREWITH**

**(57)Abstract:**

**PROBLEM TO BE SOLVED:** To realize reduced pressure and low temp. epitaxial growth that enables fewer COP(crystal-originated particles) and good electric properties of a thin film epitaxial wafer and correspondence to low temp. production of a device and also to cope with the problems with respect to improvement in yield of the wafer and production of a larger-diameter thin film epitaxial wafer.

**SOLUTION:** This production comprises: subjecting the surface of a single crystal silicon substrate to hydrogen termination treatment (SCI cleaning and dilute HF treatment); thereafter, further subjecting the treated silicon substrate to H<sub>2</sub> annealing at 800 to 950°C; and then, performing reduced pressure epitaxial growth on the resulting single crystal silicon substrate at or below the H<sub>2</sub> annealing temp. to form an epitaxial layer having a ≥0.5 μm thickness on the silicon substrate. By using the production, the objective reduced pressure and low temp. epitaxial growth which enables a decrease in residual COP in the surface of the epitaxial layer and good electric properties of a thin film epitaxial wafer thus produced, can be realized. Thus, the thin film epitaxial wafer that is produced at a low temp. and therefore, capable of corresponding to low temp. production of a device on the user side, can be produced and also, an improvement in yield of the wafer can be attained and further, this production can cope with the problems with respect to the production of a larger-diameter thin film epitaxial wafer.



**LEGAL STATUS**

[Date of request for examination] 01.06.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3714509

[Date of registration] 02.09.2005

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**\* NOTICES \***

**JPO and NCIPPI are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

[Claim 1] Hydrogen termination processing of the front face of the single crystal silicon substrate produced based on ingot raising of a CZ process is carried out. Subsequently, whenever [ furnace temperature / of stabilization time amount ] heat-treats H<sub>2</sub> gas for this single crystal silicon substrate by which hydrogen termination processing was carried out at 800-950 degrees C with a sink. Then, the manufacture approach of the thin film epitaxial wafer to which the front face of this single crystal silicon substrate is made to carry out epitaxial growth of the epitaxial layer with a thickness of 0.5 micrometers or more below at the temperature at the time of H<sub>2</sub> annealing of a parenthesis under reduced pressure.

[Claim 2] The manufacture approach of a thin film epitaxial wafer according to claim 1 that the above-mentioned H<sub>2</sub> annealing temperature is 900 degrees C.

[Claim 3] Hydrogen termination processing of the front face of the above-mentioned single crystal silicon substrate is the manufacture approach of the thin film epitaxial wafer according to claim 1 or 2 which washes the single crystal silicon substrate after SC1 washing at a room temperature for 1 - 10 minutes with 0.1 - 1 % of rare HF water solution.

[Claim 4] Hydrogen termination processing of the front face of the single crystal silicon substrate produced based on ingot raising of a CZ process is carried out. Subsequently, whenever [ furnace temperature / of stabilization time amount ] heat-treats H<sub>2</sub> gas for this single crystal silicon substrate by which hydrogen termination processing was carried out at 800-950 degrees C with a sink. Then, the thin film epitaxial wafer to which the front face of this single crystal silicon substrate was made to carry out epitaxial growth of the epitaxial layer with a thickness of 0.5 micrometers or more below at the temperature at the time of H<sub>2</sub> annealing of a parenthesis under reduced pressure.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIPI are not responsible for any  
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

#### [0001]

[Field of the Invention] This invention relates to the thin film epitaxial wafer manufactured by the manufacture approach of the thin film epitaxial wafer with which COP on the front face of an epitaxial layer realized little low-temperature epitaxial growth, and this approach corresponding to low-temperature-izing by device manufacture.

#### [0002]

[Description of the Prior Art] For example, if it was in the silicon wafer produced by the CZ process (Czochralski law), the defect of high density or the large defect of a low consistency existed small. In ammonia system washing after mirror polishing, in the front face, these defects serve as COP (Crystal OriginatedParticle) which is a depression resulting from a crystal, and appear. This COP is detectable with a particle counter. And the electrical characteristics of a silicon wafer were spoiled by this defect. Moreover, the yield in manufacture of a silicon wafer was falling as the result.

[0003] This was the same also about the epitaxial wafer to which the front face of the silicon wafer after polish is made to carry out epitaxial growth of the epitaxial layer (for epitaxial to be hereafter abbreviated to "EPI") under the elevated temperature exceeding 1000 degrees C. That is, in epitaxial growth, the configuration of the front face of the silicon wafer which is a substrate is imitated, and growth of an epitaxial layer is performed. For this reason, the depression made on the front face of a silicon wafer is imprinted also on the surface of an epitaxial layer depending on growth conditions. By the way, it is known that in the case of the epitaxial wafer for MOS COP generally cannot remain easily on the surface of an epitaxial layer on the front face of a silicon wafer if ordinary pressure epitaxial growth of the epitaxial layer is carried out by the thickness of 2 micrometers or more. This is because the surface depression of a silicon wafer disappears gradually along with the growth by carrying out epitaxial growth comparatively thickly.

#### [0004]

[Problem(s) to be Solved by the Invention] However, this has only become clear only within the epitaxial wafer for MOS with which the experiment was actually conducted also among epitaxial wafers. And the evaluation was not made to the epitaxial wafer for Bi-CMOS to which epitaxial growth of such disappearance investigation of COP is carried out under reduced pressure, and the epitaxial wafer for high performance logic with the proposition of thin-film-izing an epitaxial layer as a cure against a latch rise accompanying high integration. For example, it is because embed to the thin film epitaxial wafer for Bi-CMOS, and a layer exists, so COP evaluation by the particle counter cannot be performed.

[0005] Then, invention-in-this-application persons actually conducted the evaluation experiment about this thing. Consequently, when epitaxial growth of the epitaxial layer of a thin film was carried out under reduced pressure, it turned out that a surface depression is imprinted from a silicon wafer side as mentioned above, and COP appears in high density on the surface of an epitaxial layer. Hereafter, this experimental data is explained. In addition, the comparison in the epitaxial growth conditions of the epitaxial layer of the epitaxial wafer for MOS and the thin film epitaxial layer of the object for Bi-CMOS and the epitaxial wafer for logic is shown in Table 1. Moreover, the graph with which the comparison with general ordinary pressure epitaxial growth and reduced pressure epitaxial growth is expressed to drawing 3 is shown. This is the result of carrying out epitaxial growth on different conditions which show silicon rho= 10ohm wafer of specific resistance (cm) based on the CZ process of the same lot in Table 1.

#### [0006]

#### [Table 1]

条件	ソースガス	成長温度 (°C)	成長速度 (μm/分)	圧力 (Torr)	エピ厚 (μm)
(1) MOSエピ	SiHCl <sub>3</sub> (TCS)	1100～ 1150	1～5	常圧	≥ 2 μm
(2) Bi・CMOS用、 ロジック用薄膜エピ	SiH <sub>2</sub> Cl <sub>2</sub> (DCS)	800～ 1150	0.01～1	10～ 常圧	0.5～ 5 μm

[0007] In the graph of drawing 3, the particle counted before [ wafer (aperture of 6 inches) per / 300-600 ] epitaxial growth is considered to be COP generated by the front face of a single crystal silicon substrate. With the reduced pressure epitaxial growth of (2), the particle of the same number counted among the substrate mostly on the surface of the epitaxial layer to COP having disappeared mostly after epitaxial growth in the ordinary pressure epitaxial growth of (1). And 90% of the particle after epitaxial growth was in agreement with the location of the particle made on the front face of the single crystal silicon substrate in front of epitaxial growth. Therefore, COP by the side of a single crystal silicon substrate became clear [ remaining without disappearing ] in reduced pressure epitaxial growth.

[0008] By the way, high integration of a device progresses and the device is comparatively produced under the low-temperature environment in recent years. Also in the silicon wafer which serves as a base of a device corresponding to this, for example, the thin film epitaxial wafer for Bi-CMOS produced in the state of reduced pressure, the low-temperature growth from a viewpoint of control of autodoping and reduction of metal contamination is more desirable. However, when epitaxial growth was carried out at such comparatively low temperature and H<sub>2</sub> annealing etc. did not remove the natural oxidation film etc. completely especially, the epitaxial layer which should be the single crystal object of silicon polycrystallized, and the problem of epitaxial growth becoming impossible well had arisen.

[0009] COP which artificers appeared on the front face of CZ silicon wafer on the other hand in "collection of 1997 spring Japan Society of Applied Physics drafts 39 p-L-10, 11 p317" -- epitaxial growth conditions -- the behavior of disappearance and a residual -- changing -- this condition -- COP -- up to several micrometers epitaxial layer thickness -- effect -- \*\*\*\*\* -- things are reported. It is considered to be the cause that COP which was not able to disappear at the time of H<sub>2</sub> annealing which is pretreatment of epitaxial growth disappears under the strong epitaxial growth conditions of an anisotropy when the laminating of the silicon is carried out on the single crystal silicon substrate, and this remains under isotropic, strong conditions.

[0010] Then, this artificer paid his attention to the conditions at the time of H<sub>2</sub> annealing of the single crystal silicon substrate in front of epitaxial growth. And as a result of repeating research wholeheartedly, after carrying out hydrogen termination processing of the front face of a single crystal silicon substrate beforehand, when performing H<sub>2</sub> annealing under 800-950-degree C low temperature conditions, it found out that COP of the front face of this epitaxial layer decreased sharply. And when carrying out H<sub>2</sub> annealing of this low temperature, it turned out that the oxide-film proof-pressure property (TDDB property: Time Dependent Dielectric Breakdown) of the epitaxial layer obtained at the time of the epitaxial growth of a back process also improves. Therefore, only by performing low-temperature H<sub>2</sub> annealing after hydrogen termination processing, the front face of a silicon wafer was defecated, and in epitaxial growth, fully bury COP which polycrystal-ization of silicon which was mentioned above does not break out and exists in the front face of a single crystal silicon substrate, and it was vanished, and it turned out that it is reduced.

[0011]

[Objects of the Invention] This invention can realize low-temperature epitaxial growth under the reduced pressure from which electrical characteristics with Residual COP good few moreover are acquired on an epitaxial layer front face, and can aim at improvement in the yield, and sets it as that purpose to offer the thin film epitaxial wafer manufactured by the manufacture approach of the thin film epitaxial wafer which can respond also to diameter-ization of macrostomia of a wafer further, and this approach.

[0012]

[Means for Solving the Problem] Invention indicated to claim 1 carries out hydrogen termination processing of the front face of the single crystal silicon substrate produced based on ingot raising of a CZ process. Subsequently, whenever [ furnace temperature / of stabilization time amount ] heat-treats H<sub>2</sub> gas for this single crystal silicon substrate by which hydrogen termination processing was carried out at 800-950 degrees C with a sink. Then, it is the manufacture approach of the thin film epitaxial wafer to which the front face of this single crystal silicon substrate is made to carry out epitaxial growth of the epitaxial layer

with a thickness of 0.5 micrometers or more below at the temperature at the time of H<sub>2</sub> annealing of a parenthesis under reduced pressure. As an approach of carrying out hydrogen termination processing of the front face of a single crystal silicon substrate, the approach of carrying out anhydrous HF processing besides the approach of carrying out rare HF washing of the single crystal silicon substrate after SC1 washing which indicated, for example to claim 3 etc. is mentioned.

[0013] The concentration of the rare HF water solution used for rare HF washing is 0.1 - 1%. At less than 0.1%, un-arranging [ that hydrogen termination processing takes long duration ] arises. Moreover, if it exceeds 1%, fluorine atoms will increase in number, as a result un-arranging [ that the amount of adsorption of an OH radical increases by subsequent rinsing ] arises. As for especially this rare HF washing time amount, for 1 - 5 minutes is desirable for 1 - 10 minutes. Un-arranging [ that under for 1 minute is inadequate as for hydrogen termination processing ] arises. Moreover, if for 10 minutes is exceeded, un-arranging [ that a throughput declines ] will arise. This rare HF washing is usually performed at a room temperature.

[0014] An epitaxial furnace is used for H<sub>2</sub> annealing (hydrogen annealing). That is, H<sub>2</sub> annealing of a single crystal silicon substrate and epitaxial growth are performed in this epitaxial furnace. In addition, the exclusive furnace of H<sub>2</sub> annealing may be used. The desirable temperature of H<sub>2</sub> annealing is 800-950 degrees C. At less than 800 degrees C, removal of the natural oxidation film generated from hydrogen termination processing before loading of an epitaxial growth furnace or the organic substance becomes difficult. Moreover, if it exceeds 950 degrees C, since the laminating of the silicon atom is carried out to order also in the whole depression side of COP, pit width of face becomes large and un-arranging [ of remaining ] produces COP. The time amount of H<sub>2</sub> annealing is the about [ 1 minute room ] need. It is for stabilizing a quantity of gas flow.

[0015] As an epitaxial grown method into which an epitaxial layer is grown up, there are a gaseous-phase method (Vapor Phase Epitaxy; VPE), a liquid phase process (Liquid Phase Epitaxy; LPE), and a solid phase technique (Solid Phase Epitaxy; SPE) on a single crystal silicon substrate, for example. Especially, chemical vapor deposition (Chemical Vapor Deposition; CVD) is mainly adopted as the epitaxial growth of silicon from points, such as the crystallinity of a growth phase, mass-production nature, simplicity of equipment, and an ease of various device structure formation. The epitaxial growth of the silicon by this CVD method introduces the material gas containing silicon into a fission reactor with carrier gas (usually H<sub>2</sub> gas), and is performed by depositing the silicon generated by the pyrolysis of material gas, or reduction on the substrate (it producing by the CZ process) of the silicon single crystal heated by the elevated temperature 1000 degrees C or more.

[0016] As an epitaxial furnace for carrying out epitaxial growth of the silicon, a single-wafer-processing furnace, a vertical mold furnace, the batch type furnace of a barrel type, etc. are mentioned on a single crystal silicon substrate, for example. However, it is not limited to this. As source gas of epitaxial growth, SiH<sub>2</sub>Cl<sub>2</sub> (DCS), SiH<sub>4</sub>, SiHCl<sub>3</sub>, SiCl<sub>4</sub>, etc. are mentioned, for example. Epitaxial growth temperature is less than [ H<sub>2</sub> annealing temperature ]. 800-900 degrees C is especially desirable. If the temperature of H<sub>2</sub> annealing is exceeded, since pit width of face will spread [ COP ] and COP will become large shallowly as the whole into a temperature up, un-arranging [ of remaining ] produces COP. Especially the furnace internal pressure of epitaxial growth has desirable 80Torr(s) 30 to 200 Torr. An epitaxial growth rate is 0.01-. The amount of 0.2-micrometer/is especially desirable by 0.5-micrometer/.

[0017] The epitaxial layer thickness by which reduced pressure epitaxial growth is carried out on a single crystal silicon substrate is 0.5 micrometers or more, and its 0.5-2 micrometers are especially desirable. COP which was able to make comparatively small the increment in pit width of face in less than 0.5 micrometers in the single crystal silicon substrate which is a lower layer is also because the effect tends to be on the surface of an epitaxial layer. As equipment which detects the number of COP, the particle counter "SS6200" of the high sensitivity by ten call incorporated company and "SS6420", a particle counter, an atomic force microscope AFM of common knowledge, such as "SPA360", by SEIKO electronic incorporated company, etc. are mentioned, for example. Among these, in "SS6200", the lower limit of COP which can be measured without the effect of Hayes is 0.12-0.13 micrometers.

[0018] Invention according to claim 2 is the manufacture approach of a thin film epitaxial wafer according to claim 1 that the above-mentioned H<sub>2</sub> annealing temperature is 900 degrees C. These 900 degrees C of H<sub>2</sub> annealing temperature are desirable especially from the point of controlling increase of defecation of a silicon substrate, and the pit width of face of COP.

[0019] Invention indicated to claim 3 is the manufacture approach of a thin film epitaxial wafer according to claim 1 or 2 that hydrogen termination processing of the front face of the above-mentioned single crystal

silicon substrate washes the single crystal silicon substrate after SC1 washing at a room temperature for 1 - 10 minutes with 0.1 - 1% of rare HF water solution.

[0020] Invention indicated to claim 4 carries out hydrogen termination processing of the front face of the single crystal silicon substrate produced based on ingot raising of a CZ process. Subsequently, whenever [ furnace temperature / of stabilization time amount ] heat-treats H<sub>2</sub> gas for this single crystal silicon substrate by which hydrogen termination processing was carried out at 800-950 degrees C with a sink. Then, it is the thin film epitaxial wafer to which the front face of this single crystal silicon substrate was made to carry out epitaxial growth of the epitaxial layer with a thickness of 0.5 micrometers or more below at the temperature at the time of H<sub>2</sub> annealing of a parenthesis under reduced pressure.

[0021]

[Function] According to the thin film epitaxial wafer manufactured by the manufacture approach of the thin film epitaxial wafer of claim 1 - claim 4, and this approach, hydrogen termination processing of the front face of this single crystal silicon substrate is carried out after producing a single crystal silicon substrate from the single-crystal-silicon ingot which was able to be pulled up by the CZ process. Thereby, the tip of the dangling bond of Si atom in this substrate front-face side becomes H sets. Subsequently, this single crystal silicon substrate by which hydrogen termination processing was carried out is inserted in in a furnace, and H<sub>2</sub> annealing treatment of the single crystal silicon substrate is carried out so that whenever [ furnace temperature / of stabilization time amount (flow rate stabilization time amount) ] may become 800-950 degrees C with a sink about H<sub>2</sub> gas. Consequently, a silicon substrate surface can be defecated.

[0022] Then, an epitaxial layer with a thickness of 0.5 micrometers or more grows this single crystal silicon substrate epitaxially on this single crystal silicon substrate by heating silicon source gas in a furnace with a sink under reduced pressure at the comparatively low temperature below H<sub>2</sub> annealing temperature (800-950 degrees C). Under the present circumstances, since magnitude is small as mentioned above, COP which remains on the front face of a single crystal silicon substrate becomes easy to disappear. Moreover, increase of the pit width of face of COP by epitaxial growth can be controlled.

[0023] Thus, a wafer production works side can be responded now to low-temperature manufacture of the device by the side of a user by having realized the bottom of reduced pressure and thin film epitaxial growth in low temperature. And since the number of COP which exists on the surface of an epitaxial layer also decreases, the electrical characteristics of a thin film epitaxial wafer improve, and the yield at the time of manufacture also becomes large. Consequently, although diameter-ization of macrostomia of a wafer in recent years (for example, wafer aperture of 300mm) progresses, a good always thin film epitaxial-wafer can be offered to a user side.

[0024]

[Embodiment of the Invention] An example is given to below and this invention is more concretely explained to it. In addition, this invention is not limited to these examples.

<Examples 1 and 2 and examples 1-3 of a comparison> In the raising process of the silicon single crystal by the CZ process, block cutting, wafer cutting, beveling, mechanical chemical polish, etc. are given to the silicon single crystal rod of high resistance which was able to be pulled up by part for 0.9mm/in raising rate, and the crystal orientation of a silicon single crystal produces the single crystal silicon substrate 625 micrometers and whose diameter 10 - 20-ohmcm and thickness are 6 inches for N (100) and specific resistance. Then, hydrogen termination processing in which the tip of the DANGU phosphorus bond of Si atom becomes H sets is performed to the front face of this substrate by carrying out SC1 washing (NH<sub>4</sub> OH/H<sub>2</sub>O<sub>2</sub>/H<sub>2</sub>O) of the front face of this substrate, and carrying out rare HF washing at a room temperature for 5 minutes with 0.5% of rare HF water solution.

[0025] Subsequently, it loaded with this single crystal silicon substrate by which hydrogen termination processing was carried out into the furnace of single wafer processing, and continuously, into the furnace, it is specifically 900 degrees C (example 1), 950 degrees C (example 2), 1000 degrees C (example 1 of a comparison), 1100 degrees C (example 2 of a comparison), and 1150 degrees C (example 3 of a comparison) for 900 degrees C - 1150 degrees C with a sink about H<sub>2</sub> gas, and H<sub>2</sub> annealing was performed. Then, the thin film epitaxial wafer was obtained by growing a 1-micrometer epitaxial layer epitaxially on a single crystal silicon substrate. The epitaxial growth conditions at this time are source gas DCS (SiH<sub>2</sub>Cl<sub>2</sub>), the epitaxial growth temperature of 900 degrees C, and a part for /and epitaxial growth rate pressure [ of 0.2 micrometers ] 80Torr. And the number of scars of particle with a diameter of 0.13 micrometers or more was counted using "SS6200" by ten call incorporated company.

[0026] This result is shown in the graph showing the relation between H<sub>2</sub> annealing temperature of drawing 1 , and the number of COP on the front face of an epitaxial layer. That is, in the examples 1-3 of a

comparison, the number of COP in the front face of an epitaxial layer was before and after 100-240 per 6 inch wafer. On the other hand, in the examples 1 and 2, it decreased in about 20-30 pieces. In addition, in drawing 1, \*\* is the number of the foreign matters adhering to an epitaxial layer front face, and - is the number which added COP to this foreign matter. That is, the number of COP of each example or the example of a comparison serves as a value which lengthened \*\* value from - value. Moreover, the relation between the annealing temperature at this time and an average Qbd value is shown in the graph of drawing 2. Compared with the examples 1-3 of a comparison, the examples 1 and 2 of oxide-film pressure-proofing were higher, and good electrical characteristics were acquired so that clearly from the graph of drawing 2. For oxide-film thickness (Tox), 10nm and surface area (A) are [ the conditions of this oxide-film compressive test (TDDB trial) ] 2 and current density 0.2cm (J). They are 0.1 A/cm<sup>2</sup>.

[0027] Under the present circumstances, the case of an example 1 was taken for the example and the atomic force microscope compared the configuration of COP on the single crystal silicon substrate before and behind H2 annealing. consequently, both configuration -- abbreviation -- it was the same. Thereby, it is thought in the pit end face of COP that growth of a strong anisotropy occurred. And COP after H2 annealing was the about 0.1-0.2 micrometers as COP of a silicon substrate with the almost same pit width of face. Consequently, COP after H2 annealing disappearing easily at the time of epitaxial growth, or decreasing was expected. Moreover, such a result was actually obtained (refer to the graph of drawing 1 ).

[0028]

[Effect of the Invention] According to the manufacture approach of the thin film epitaxial wafer concerning this invention, and the thin film epitaxial wafer manufactured by this approach Low-temperature H2 annealing of 800-950 degrees C for the front face of a single crystal silicon substrate is carried out after hydrogen termination processing. On this single crystal silicon substrate further less than [ H2 annealing temperature ] Since it was made to carry out reduced pressure epitaxial growth of the thin epitaxial layer 0.5 micrometers or more, COP which remains on an epitaxial layer front face can realize reduced pressure and low-temperature epitaxial growth from which good electrical characteristics are acquired few moreover. Thereby, the thin film epitaxial wafer of the low-temperature manufacture corresponding to low-temperature manufacture of the device by the side of a user can be manufactured. Both, improvement in the manufacture yield of this thin film epitaxial wafer can be aimed at, and it can respond also to diameter-ization of macrostomia of a wafer further.

[0029] Since H2 annealing temperature was especially made into 900 degrees C according to invention according to claim 2, the effectiveness of controlling increase of defecation of a silicon substrate and the pit width of face of COP in epitaxial growth is acquired.

[0030] Moreover, since it adopted washing the single crystal silicon substrate washed SC1 at a room temperature for 3 - 5 minutes with 0.1 - 1% of rare HF water solution as hydrogen termination processing of the front face of a single crystal silicon substrate according to invention according to claim 3, the effectiveness that the silicon substrate in which the natural oxidation film does not exist is producible is acquired.

---

[Translation done.]

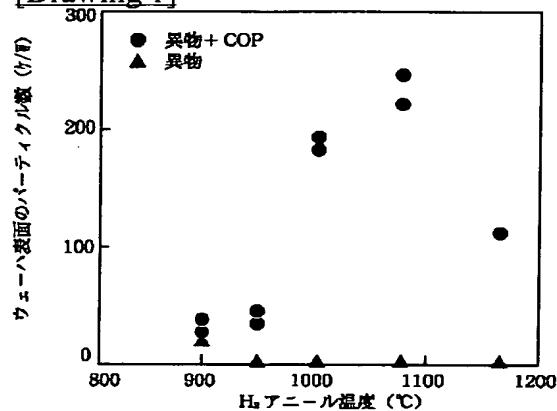
## \* NOTICES \*

JPO and NCIPPI are not responsible for any damages caused by the use of this translation.

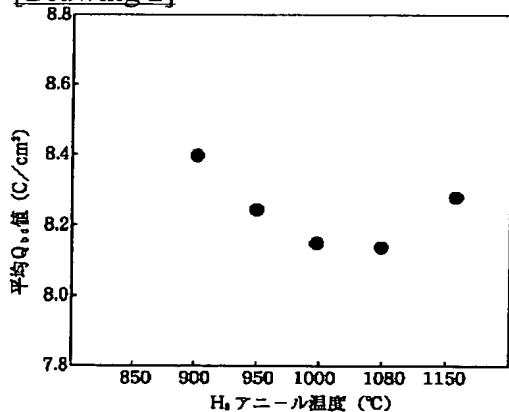
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

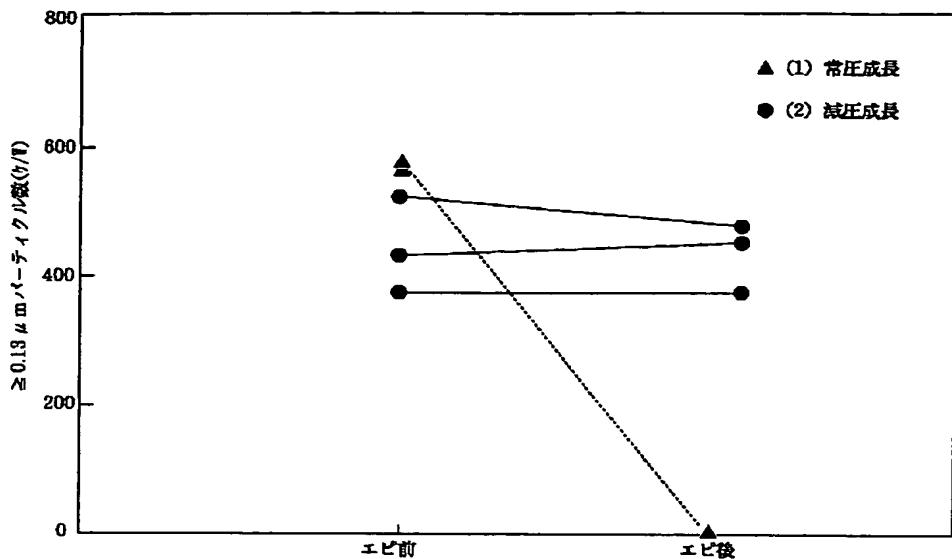
[Drawing 1]



[Drawing 2]



[Drawing 3]



---

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-100299

(43)公開日 平成11年(1999)4月13日

(51)Int.Cl.<sup>6</sup>  
C 30 B 29/06  
33/02  
H 01 L 21/20  
21/205

識別記号  
5 0 4

F I  
C 30 B 29/06  
33/02  
H 01 L 21/20  
21/205

5 0 4 F

審査請求 未請求 請求項の数4 FD (全6頁)

(21)出願番号

特願平9-282747

(22)出願日

平成9年(1997)9月29日

(71)出願人 000228925

三菱マテリアルシリコン株式会社  
東京都千代田区大手町一丁目5番1号

(72)発明者 木村 雅貨

東京都千代田区大手町1丁目5番1号 三菱マテリアルシリコン株式会社内

(72)発明者 野上 彰二

東京都千代田区大手町1丁目5番1号 三菱マテリアルシリコン株式会社内

(72)発明者 新屋敷 浩

東京都千代田区大手町1丁目5番1号 三菱マテリアルシリコン株式会社内

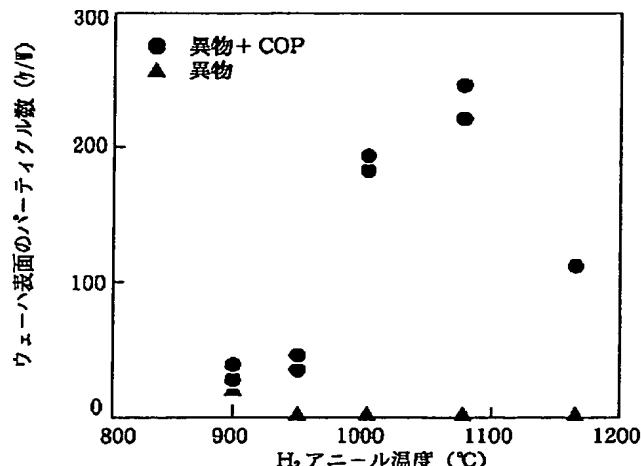
(74)代理人 弁理士 安倍 逸郎

(54)【発明の名称】 薄膜エピタキシャルウェーハの製造方法およびこの方法により製造された薄膜エピタキシャルウェーハ

(57)【要約】

【課題】 デバイス製造の低温化に対応して、COPが少なく電気的特性が良好な減圧・低温エピタキシャル成長を実現する。歩留り向上、ウェーハの大口径化へ対応する。

【解決手段】 単結晶シリコン基板の表面を水素終端処理 (SC1 → 希HF処理) 後、800～950°CでH<sub>2</sub>アニールする。次に、単結晶シリコン基板上にH<sub>2</sub>アニール温度以下で0.5 μm以上のエピタキシャル層を減圧エピタキシャル成長させる。エピタキシャル層表面の残留COPが低減し、かつ得られたウェーハは良好な電気的特性となる減圧・低温エピタキシャル成長を実現できる。したがって、ユーザ側でのデバイスの低温製造に対応した低温製造の薄膜エピタキシャルウェーハを製造でき、ウェーハの歩留りの向上も図れ、さらにウェーハの大口径化にも対応できる。



2

【0003】このことは、研磨後のシリコンウェーハの表面に、1000°Cを超える高温下で、エピタキシャル層（以下、エピタキシャルを「エピ」と略す場合がある）を、エピタキシャル成長させるエピタキシャルウェーハについても、同様であった。すなわち、エピタキシャル成長では、基板であるシリコンウェーハの表面の形状を倣って、エピタキシャル層の成長が行なわれる。このため、シリコンウェーハの表面にできた凹みは、成長条件によっては、エピタキシャル層の表面にも転写される。ところで、MOS用エピタキシャルウェーハの場合には、一般的にシリコンウェーハの表面に、エピタキシャル層を2μm以上の厚さで常圧エピタキシャル成長すると、エピタキシャル層の表面にCOPが残りにくいことが知られている。これは、比較的厚くエピタキシャル成長させることにより、シリコンウェーハの表面凹みが、その成長につれて徐々に消失するからである。

## 【0004】

【発明が解決しようとする課題】しかしながら、このことは、エピタキシャルウェーハのうちでも実際に実験が行なわれたMOS用のエピタキシャルウェーハに限って判明しているだけである。しかも、このようなCOPの消失調査は、減圧下でエピタキシャル成長させるBi-CMOS用エピタキシャルウェーハや、高集積化に伴うラッチアップ対策として、エピタキシャル層を薄膜化するという命題がある高性能ロジック用エピタキシャルウェーハに対しては、その評価がなされていなかった。例えばBi-CMOS用薄膜エピタキシャルウェーハには埋め込み層が存在するためパーティクルカウンタによるCOP評価を行うことができないからである。

【0005】そこで、本願発明者らは、このものについて、実際に評価実験を行なった。この結果、減圧下で薄膜のエピタキシャル層をエピタキシャル成長させると、前述したようにシリコンウェーハ側より表面の凹みが転写され、エピタキシャル層の表面にCOPが高密度で現れることがわかった。以下、この実験データについて説明する。なお、表1には、MOS用エピタキシャルウェーハのエピタキシャル層と、Bi-CMOS用、ロジック用エピタキシャルウェーハの薄膜エピタキシャル層とのエピタキシャル成長条件における比較を示す。また、図3に、一般的な常圧エピタキシャル成長と減圧エピタキシャル成長との比較を表すグラフを示す。これは、同じロットのCZ法に基づくシリコンウェーハ（比抵抗ρ=10Ωcm）を、表1に示す異なる条件でエピタキシャル成長させた結果である。

## 【0006】

## 【表1】

## 【特許請求の範囲】

【請求項1】CZ法のインゴット引き上げに基づいて作製された単結晶シリコン基板の表面を水素終端処理し、次いでこの水素終端処理された単結晶シリコン基板を、H<sub>2</sub>ガスを流しながら安定化時間の炉内温度が800～950°Cで加熱処理し、その後、この単結晶シリコン基板の表面に、厚さ0.5μm以上のエピタキシャル層を、減圧下で、かつこのH<sub>2</sub>アニール時の温度以下でエピタキシャル成長させる薄膜エピタキシャルウェーハの製造方法。

【請求項2】上記H<sub>2</sub>アニール温度が900°Cである請求項1に記載の薄膜エピタキシャルウェーハの製造方法。

【請求項3】上記単結晶シリコン基板の表面の水素終端処理は、SC1洗浄後の単結晶シリコン基板を、0.1～1%の希HF水溶液により1～10分間、室温で洗浄する請求項1または請求項2に記載の薄膜エピタキシャルウェーハの製造方法。

【請求項4】CZ法のインゴット引き上げに基づいて作製された単結晶シリコン基板の表面を水素終端処理し、次いでこの水素終端処理された単結晶シリコン基板を、H<sub>2</sub>ガスを流しながら安定化時間の炉内温度が800～950°Cで加熱処理し、その後、この単結晶シリコン基板の表面に、厚さ0.5μm以上のエピタキシャル層を、減圧下で、かつこのH<sub>2</sub>アニール時の温度以下でエピタキシャル成長させた薄膜エピタキシャルウェーハ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、デバイス製造での低温化に対応して、エピタキシャル層表面のCOPが少ない低温エピタキシャル成長を実現した薄膜エピタキシャルウェーハの製造方法およびこの方法により製造された薄膜エピタキシャルウェーハに関する。

## 【0002】

【従来の技術】例えばCZ法(Czochralski法)により作製されたシリコンウェーハにあっては、小さく高密度の欠陥や、大きく低密度の欠陥のいずれかが存在していた。これらの欠陥は、鏡面研磨後のアンモニア系洗浄において、その表面に、結晶に起因する凹みであるCOP(Crystal Originated Particle)となって現れる。このCOPはパーティクルカウンタで検出することができる。そして、この欠陥によりシリコンウェーハの電気的特性が損なわれていた。また、その結果として、シリコンウェーハの製造における歩留りが低下していた。

10

20

30

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

40

条件	ソースガス	成長温度(°C)	成長速度(μm/分)	圧力(Torr)	エピ厚(μm)
(1) MOSエピ	SiHCl <sub>3</sub> (TCS)	1100～ 1150	1～5	常圧	≥2 μm
(2) Bi-CMOS用、 ロジック用薄膜エピ	SiH <sub>4</sub> Cl <sub>3</sub> (DCS)	800～ 1150	0.01～1	10～ 常圧	0.5～ 5 μm

【0007】図3のグラフにおいて、エピタキシャル成長前にウェーハ（口径6インチ）当たり300～600個カウントされたパーティクルは、単結晶シリコン基板の表面に生成されたCOPと考えられる。(1)の常圧エピタキシャル成長では、エピタキシャル成長後にCOPがほぼ消失しているのに対し、(2)の減圧エピタキシャル成長では、エピタキシャル層の表面に、基板とほぼ同数のパーティクルがカウントされた。しかも、エピタキシャル成長後のパーティクルの90%が、エピタキシャル成長前の単結晶シリコン基板の表面にできたパーティクルの位置と一致していた。したがって、単結晶シリコン基板側のCOPは、減圧エピタキシャル成長では消失せずに残留することが明らかとなった。

【0008】ところで、近年、デバイスの高集積化が進み、デバイスが比較的低温の環境下で作製されている。これに対応して、デバイスの基体となるシリコンウェーハ、例えば減圧状態で作製されるBi-CMOS用薄膜エピタキシャルウェーハにおいても、オートドーピングの抑制、金属汚染の低減という観点から、低温成長の方が好ましい。しかしながら、このように比較的低い温度でエピタキシャル成長を実施する場合、特にH<sub>2</sub>アーニール等により自然酸化膜等を完全に除去しないと、シリコンの単結晶体であるべきエピタキシャル層が多結晶化してしまい、うまくエピタキシャル成長ができなくなるという問題が生じていた。

【0009】一方、発明者らは、「1997年春季応用物理学会予稿集39p-L-10, 11 p317」において、CZシリコンウェーハの表面に現出したCOPは、エピタキシャル成長条件により消失、残留の挙動が変化し、この条件によっては、COPがエピタキシャル層の厚さ数μmまで影響をおよぼすことを報告している。これは、エピタキシャル成長の前処理であるH<sub>2</sub>アーニール時に消失しきれなかったCOPが、単結晶シリコン基板上にシリコンが積層していくとき、異方性の強いエピタキシャル成長条件下では消失し、等方性の強い条件下では残留することが原因であると考えられる。

【0010】そこで、この発明者らは、エピタキシャル成長前における単結晶シリコン基板のH<sub>2</sub>アーニール時の条件に着目した。そして、鋭意研究を重ねた結果、あらかじめ単結晶シリコン基板の表面を水素終端処理してから、800～950°Cの低い温度条件下でH<sub>2</sub>アーニールを行えば、このエピタキシャル層の表面のCOPが激減することを見出した。しかも、この低温のH<sub>2</sub>アーニール

を実施しておけば、後工程のエピタキシャル成長時に得られたエピタキシャル層の酸化膜耐圧特性(TDDDB特性: Time Dependent Dielectric Breakdown)も向上することがわかった。したがって、水素終端処理後に低温H<sub>2</sub>アーニールを行うだけで、シリコンウェーハの表面が清浄化され、前述したようなシリコンの多結晶化が起きることがなく、単結晶シリコン基板の表面に存在しているCOPを、エピタキシャル成長中に十分に埋めて消失させたり、低減させられることがわかった。

#### 【0011】

【発明の目的】この発明は、エピタキシャル層表面に残留COPが少なく、しかも良好な電気的特性が得られる減圧下での低温エピタキシャル成長を実現することができ、また歩留りの向上が図れ、さらにウェーハの大口径化にも対応することができる薄膜エピタキシャルウェーハの製造方法およびこの方法により製造された薄膜エピタキシャルウェーハを提供することを、その目的としている。

#### 【0012】

【課題を解決するための手段】請求項1に記載した発明は、CZ法のインゴット引き上げに基づいて作製された単結晶シリコン基板の表面を水素終端処理し、次いでこの水素終端処理された単結晶シリコン基板を、H<sub>2</sub>ガスを流しながら安定化時間の炉内温度が800～950°Cで加熱処理し、その後、この単結晶シリコン基板の表面に、厚さ0.5μm以上のエピタキシャル層を、減圧下で、かつこのH<sub>2</sub>アーニール時の温度以下でエピタキシャル成長させる薄膜エピタキシャルウェーハの製造方法である。単結晶シリコン基板の表面を水素終端処理する方法としては、例えば請求項3に記載したようなSC1洗浄後の単結晶シリコン基板を希HF洗浄する方法の他、無水HF処理する方法などが挙げられる。

【0013】希HF洗浄に使用される希HF水溶液の濃度は0.1～1%である。0.1%未満では水素終端処理に長時間を要するという不都合が生じる。また、1%を超えるとフッ素原子が多くなり、ひいてはその後の水洗でOH基の吸着量が増すという不都合が生じる。この希HF洗浄時間は1～10分間、特に1～5分間が好ましい。1分間未満では水素終端処理が不十分であるという不都合が生じる。また、10分間を超えると処理能力が低下するという不都合が生じる。この希HF洗浄は、通常、室温で行われる。

【0014】H<sub>2</sub>アニール（水素アニール）には、エピタキシャル炉が用いられる。すなわち、このエピタキシャル炉内で、単結晶シリコン基板のH<sub>2</sub>アニールと、エピタキシャル成長とが行われる。なお、H<sub>2</sub>アニールの専用炉を使用してもよい。H<sub>2</sub>アニールの好ましい温度は、800～950℃である。800℃未満では水素終端処理からエピタキシャル成長炉のローディングまでの間に生成した自然酸化膜、あるいは、有機物の除去が困難となる。また、950℃を超えると、COPの凹み面全体にもシリコン原子が順に積層されていくため、ピット幅が広くなり、COPは残留するという不都合が生じる。H<sub>2</sub>アニールの時間は1分間程度必要である。ガス流量を安定化させるためである。

【0015】単結晶シリコン基板上にエピタキシャル層を成長させるエピタキシャル成長法としては、例えば相法（Vapor Phase Epitaxy；VPE）、液相法（Liquid Phase Epitaxy；LPE）、固相法（Solid Phase Epitaxy；SPE）がある。特に、シリコンのエピタキシャル成長には、成長層の結晶性、量産性、装置の簡便さ、種々のデバイス構造形成の容易さなどの点から、化学的気相成長法（Chemical Vapor Deposition；CVD）が主として採用されている。このCVD法によるシリコンのエピタキシャル成長は、例えばシリコンを含んだ原料ガスを、キャリアガス（通常H<sub>2</sub>ガス）とともに反応炉内へ導入し、1000℃以上の高温に熱せられたシリコン単結晶の基板（CZ法により作製）上に、原料ガスの熱分解または還元によって生成されたシリコンを析出させることで行なわれる。

【0016】単結晶シリコン基板上にシリコンをエピタキシャル成長させるためのエピタキシャル炉としては、例えば枚葉式炉、縦型炉、パレル型のバッチ炉などが挙げられる。ただし、これに限定されない。エピタキシャル成長のソースガスとしては、例えばSiH<sub>2</sub>C<sub>12</sub>（DCS）、SiH<sub>4</sub>、SiHCl<sub>3</sub>、SiCl<sub>4</sub>などが挙げられる。エピタキシャル成長温度はH<sub>2</sub>アニール温度以下である。特に800～900℃が好ましい。H<sub>2</sub>アニールの温度を超えると、昇温中にCOPがピット幅が拡がって全体としてはCOPが浅く広くなるため、COPは残留するという不都合が生じる。エピタキシャル成長の炉内圧力は30～200 Torr、特に80 Torrが好ましい。エピタキシャル成長速度は、0.01～0.5 μm／分、特に0.2 μm／分が好ましい。

【0017】単結晶シリコン基板上に減圧エピタキシャル成長されるエピタキシャル層の厚さは、0.5 μm以上であり、特に0.5～2 μmが好ましい。0.5 μm未満では、下層である単結晶シリコン基板においてピット幅の増加を比較的小さくすることができたCOPでも、その影響がエピタキシャル層の表面にでやすいから

である。COPの数を検出する装置としては、例えばテンコール株式会社製の高感度のパーティクルカウンタ「SS6200」および「SS6420」、セイコー電子株式会社製の「SPA360」などの周知のパーティクルカウンタおよび原子間力顯微鏡AFMなどが挙げられる。このうち「SS6200」では、ヘイズの影響なしに測定することができるCOPの下限値は、0.12～0.13 μmである。

【0018】請求項2に記載の発明は、上記H<sub>2</sub>アニール温度が900℃である請求項1に記載の薄膜エピタキシャルウェーハの製造方法である。H<sub>2</sub>アニール温度は、この900℃が、シリコン基板の清浄化、および、COPのピット幅の増大を抑制するという点から特に好ましい。

【0019】請求項3に記載した発明は、上記単結晶シリコン基板の表面の水素終端処理は、SC1洗浄後の単結晶シリコン基板を、0.1～1%の希HF水溶液により1～10分間、室温で洗浄する請求項1または請求項2に記載の薄膜エピタキシャルウェーハの製造方法である。

【0020】請求項4に記載した発明は、CZ法のインゴット引き上げに基づいて作製された単結晶シリコン基板の表面を水素終端処理し、次いでこの水素終端処理された単結晶シリコン基板を、H<sub>2</sub>ガスを流しながら安定化時間の炉内温度が800～950℃で加熱処理し、その後、この単結晶シリコン基板の表面に、厚さ0.5 μm以上のエピタキシャル層を、減圧下で、かつこのH<sub>2</sub>アニール時の温度以下でエピタキシャル成長させた薄膜エピタキシャルウェーハである。

【0021】  
【作用】請求項1～請求項4の薄膜エピタキシャルウェーハの製造方法およびこの方法により製造された薄膜エピタキシャルウェーハによれば、CZ法により引き上げられた単結晶シリコンインゴットから単結晶シリコン基板を作製後、この単結晶シリコン基板の表面を水素終端処理する。これにより、この基板表面側にあるSi原子のダングリングボンドの先端はH基となる。次いで、この水素終端処理された単結晶シリコン基板を炉内に装入して、H<sub>2</sub>ガスを流しながら安定化時間（流量安定化時間）の炉内温度が800～950℃になるように、単結晶シリコン基板をH<sub>2</sub>アニール処理する。この結果、シリコン基板表面の清浄化を行うことができる。

【0022】その後、この単結晶シリコン基板を、減圧下で、シリコンソースガスを流しながら、H<sub>2</sub>アニール温度（800～950℃）以下の比較的低い温度で炉内加熱することにより、この単結晶シリコン基板上に、厚さ0.5 μm以上のエピタキシャル層がエピタキシャル成長する。この際、単結晶シリコン基板の表面上に残るCOPは、前述したように大きさが小さいので、消失しやすくなる。また、エピタキシャル成長によるCOPの

ピット幅の増大を抑制することができる。

【0023】このように、低温での減圧下・薄膜エピタキシャル成長を実現させたことで、ユーザ側におけるデバイスの低温製造にウェーハ生産工場側が対応することができるようになった。しかも、エピタキシャル層の表面に存在するCOPの個数も少なくなるので、薄膜エピタキシャルウェーハの電気的特性が向上し、かつ製造時の歩留りも大きくなる。この結果、近年のウェーハの大口径化（例えばウェーハ口径300mm）が進んでも、常に、良質の薄膜エピタキシャルウェーハをユーザ側へ提供することができる。

#### 【0024】

【発明の実施の形態】以下に実施例を挙げてこの発明をより具体的に説明する。なお、この発明はこれらの実施例に限定されない。

〈実施例1、2、比較例1～3〉 CZ法によるシリコン単結晶の引き上げ工程において、引き上げ速度0.9mm／分で引き上げられた高抵抗のシリコン単結晶棒にブロック切断、ウェーハ切断、面取り、機械的化学的研磨などを施して、シリコン単結晶の結晶方位がN(100)、比抵抗が10～20Ωcm、厚さが625μm、直径が6インチの単結晶シリコン基板を作製する。その後、この基板の表面をSC1洗浄(NH<sub>4</sub>OH/H<sub>2</sub>O<sub>2</sub>/H<sub>2</sub>O)し、それから0.5%の希HF水溶液により5分間、室温で希HF洗浄することにより、この基板の表面に、Si原子のダングリンボンドの先端がH基となる水素終端処理を施す。

【0025】次いで、この水素終端処理された単結晶シリコン基板を、枚葉式の炉内へ挿填し、続いて炉内へH<sub>2</sub>ガスを流しながら、900℃～1150℃の間、具体的には900℃（実施例1）、950℃（実施例2）、1000℃（比較例1）、1100℃（比較例2）、1150℃（比較例3）で、H<sub>2</sub>アニールを行なった。その後、単結晶シリコン基板上に1μmのエピタキシャル層をエピタキシャル成長することにより、薄膜エピタキシャルウェーハを得た。このときのエピタキシャル成長条件は、ソースガスDCS(SiH<sub>2</sub>C<sub>12</sub>)、エピタキシャル成長温度900℃、エピタキシャル成長速度0.2μm／分、圧力80Torrである。それから、テンコール株式会社製の「SS6200」を用いて、直径0.13μm以上のパーティクルの残痕数をカウントした。

【0026】この結果を、図1のH<sub>2</sub>アニール温度とエピタキシャル層表面のCOP数との関係を表すグラフに示す。すなわち、比較例1～3では、エピタキシャル層の表面におけるCOP数は、6インチウェーハ1枚当たり、100～240個前後であった。これに対して、実施例1、2では、20～30個程度にまで少なくなつた。なお、図1において、▲はエピタキシャル層表面に付着した異物の数であり、●はこの異物にCOPを加算

した数である。すなわち、各実施例や比較例のCOP数は、●値から▲値を引いた値となる。また、このときのアニール温度と平均Q<sub>bd</sub>値との関係を図2のグラフに示す。図2のグラフから明らかのように、比較例1～3に比べて実施例1、2の方が酸化膜耐圧が高く、良好な電気的特性が得られた。この酸化膜耐圧試験(TDDDB試験)の条件は、酸化膜厚さ(Tox)が10nm、表面積(A)が0.2cm<sup>2</sup>、電流密度(J)が0.1A/cm<sup>2</sup>である。

【0027】この際、実施例1の場合を例にとって、原子間力顕微鏡によりH<sub>2</sub>アニールの前後における単結晶シリコン基板上のCOPの形状を比較した。この結果、両者の形状は略同じであった。これにより、COPのピット端面では強い異方性の成長が起きたものと思われる。しかも、H<sub>2</sub>アニール後のCOPは、そのピット幅が、シリコン基板のCOPとほぼ同じ0.1～0.2μm程度であった。この結果、H<sub>2</sub>アニール後のCOPは、エピタキシャル成長時に、容易に消失するか、減少することが予想された。また、実際に、そのような結果が得られた（図1のグラフ参照）。

#### 【0028】

【発明の効果】この発明に係る薄膜エピタキシャルウェーハの製造方法、および、この方法により製造された薄膜エピタキシャルウェーハによれば、単結晶シリコン基板の表面を水素終端処理後、800～950℃という低温H<sub>2</sub>アニールを実施し、さらにこの単結晶シリコン基板上に、H<sub>2</sub>アニール温度以下で、0.5μm以上の薄いエピタキシャル層を減圧エピタキシャル成長するようにしたので、エピタキシャル層表面に残留するCOPが少なく、しかも良好な電気的特性が得られる減圧・低温エピタキシャル成長を実現することができる。これによりユーザ側におけるデバイスの低温製造に対応した低温製造の薄膜エピタキシャルウェーハを製造することができる。とともに、この薄膜エピタキシャルウェーハの製造歩留り向上が図れ、さらにウェーハの大口径化にも対応することができる。

【0029】特に、請求項2に記載の発明によれば、H<sub>2</sub>アニール温度を900℃としたので、シリコン基板の清浄化、および、エピタキシャル成長でのCOPのピット幅の増大を抑制するという効果が得られる。

【0030】また、請求項3に記載の発明によれば、単結晶シリコン基板の表面の水素終端処理として、SC1洗浄された単結晶シリコン基板を、0.1～1%の希HF水溶液により3～5分間、室温で洗浄することを採用したので、自然酸化膜が存在しないシリコン基板が作製できるという効果が得られる。

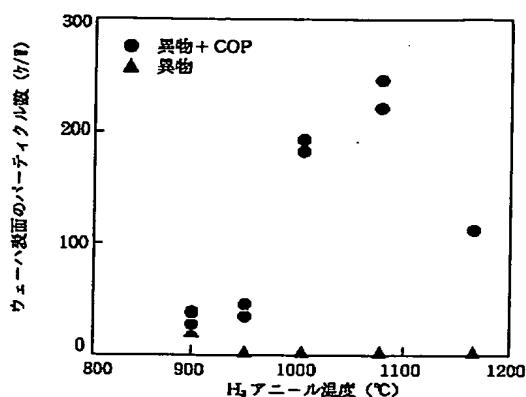
#### 【図面の簡単な説明】

【図1】この発明の一実施例に係るH<sub>2</sub>アニール温度とエピタキシャル層表面のCOP数との関係を示すグラフである。

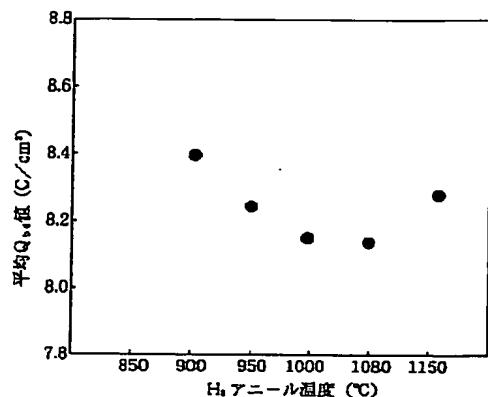
【図2】この発明の一実施例に係るアニール温度と平均Q<sub>bd</sub>値との関係を示すグラフである。

【図3】一般的な常圧エピタキシャル成長と減圧エピタキシャル成長との比較を表すグラフである。

【図1】



【図2】



【図3】

